

2/5/1 (Item 1 from file: 351)

DIALOG(R)File 351:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

010905562 \*\*Image available\*\*

WPI Acc No: 96-402513/199640

XRPX Acc No: N96-339067

**Liquid crystal display device - has protective film formed over entire surface on which thin film diodes are formed, and includes etched openings formed between electrodes**

Patent Assignee: CITIZEN WATCH CO LTD (CITL ); CITIZEN TOKEI KK (CITL )

Inventor: TAGUCHI N

Number of Countries: 004 Number of Patents: 006

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
WO 9626463	A1	19960829	WO 96JP428	A	19960223	G02F-001/136	199640 B
GB 2312543	A	19971029	WO 96JP428	A	19960223	G02F-001/136	199746
			GB 9716881	A	19970808		
JP 8525570	X	19980127	JP 96525570	A	19960223	G02F-001/136	199814
			WO 96JP428	A	19960223		
KR 98702449	A	19980715	WO 96JP428	A	19960223	G02F-001/136	199927
			KR 97705849	A	19970823		
GB 2312543	B	19990630	WO 96JP428	A	19960223	G02F-001/136	199928
			GB 9716881	A	19970808		
US 5963279	A	19991005	WO 96JP428	A	19960223	G02F-001/1333	199948
			US 97894484	A	19970822		

Priority Applications (No Type Date): JP 9534947 A 19950223

Cited Patents: 01 28991600; 02 6752300; 02 14072600; 04 26037400; 07199223

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
--------	------	-----	----	--------------	-------------	--------

WO 9626463	A1	J	63			
------------	----	---	----	--	--	--

Designated States (National): GB JP KR US

GB 2312543	A	73	Based on	WO 9626463
JP 8525570	X		Based on	WO 9626463
KR 98702449	A		Based on	WO 9626463
GB 2312543	B		Based on	WO 9626463
US 5963279	A		Based on	WO 9626463

Abstract (Basic): WO 9626463 A

The liquid crystal display device uses a thin-film diode or a thin-film transistor as a switching device. A protective film is formed on the entire surface of a substrate on which switching devices and signal electrodes or scanning electrodes are formed. Openings are formed in the protective film between the electrodes, and the remaining portion of each electrode material inside the openings is etched away.

The protective film may be disposed on the entire surface of the substrate (1) on which a back-to-back connection of two thin-film diodes (11 and 12) is provided corresponding to each pixel electrode, and opening portions (36) having openings (36c, 36d and 36e) are disposed between the pixel electrodes (6), between the signal electrode (13) and the pixel electrode (6) and between the signal electrodes (13), respectively. The remaining portion of the electrode material inside the opening (36) is removed by etching.

USE/ADVANTAGE - Timepiece, calculator, video camera etc. Because short-circuits between the electrodes as indicated by (21, 32 and 34) can be eliminated, surface defects can be drastically reduced, display quality as well as production yield can be improved.

Dwg.1/30

Title Terms: LIQUID; CRYSTAL; DISPLAY; DEVICE; PROTECT; FILM; FORMING; SURFACE; THIN; FILM; DIODE; FORMING; ETCH; OPEN; FORMING; ELECTRODE

Derwent Class: P81; U14

International Patent Class (Main): G02F-001/1333; G02F-001/136

International Patent Class (Additional): G02F-001/13

May 23, 2000

08:43

2

File Segment: EPI; EngPI

【特許請求の範囲】

1. 所定の間隔をもって対向するそれぞれ透明な第1の基板と第2の基板との間に液晶を封入し、前記第1の基板上に、信号電極および各表示画素を構成する画素電極を設けるとともに、その信号電極と各画素電極との間に該各画素電極への電流の流れを制御するスイッチング素子としてそれぞれ薄膜ダイオードを設け、前記第2の基板に、前記第1の基板上の各画素電極と前記液晶を介して対向する対向電極を設けた液晶表示装置において、

前記第1の基板上に、前記信号電極と各画素電極および各薄膜ダイオードを覆うように全面に保護膜を形成し、該保護膜の前記画素電極相互間、前記信号電極と画素電極との間、および前記信号電極相互間に対応する位置にそれぞれ開口を有する開口部を設け、その開口部内の前記信号電極および画素電極を形成する電極層材料の残膜部がエッチングにより除去されていることを特徴とする液晶表示装置。

2. 請求の範囲第1項記載の液晶表示装置において、前記信号電極と各画素電極との間に、それぞれ2個の薄膜ダイオードがバック・トゥ・バック接続されて設けられており、その2個の薄膜ダイオードの共通の下部電極と前記信号電極の下部電極層とが陽極酸化のために接続部によって連接して形成され、前記保護膜の開口部が前記接続部に対応する位置にも開口を有し、該開口内の前記接続部がエッチングにより除去されていることを特徴とする液晶表示装置。

3. 所定の間隔をもって対向するそれぞれ透明な第1の基板と第2の基板との間に液晶を封入し、前記第1の基板上に、信号電極および各表示画素を構成する画素電極を設けるとともに、その信号電極と各画素電極との間に該各画素電極への電流の流れを制御するスイッチング素子としてそれぞれ薄膜ダイオードを設け、

前記第2の基

板に、前記第1の基板上の各画素電極と前記液晶を介して対向する対向電極を設けた液晶表示装置の製造方法であって、

前記第1の基板上の全面に下部電極層材料を形成し、その下部電極層材料上に第1のフォトリソストをパターンニングし、その第1のフォトリソストをエツ

(19)日本国特許庁(JP) 再公表特許(A1)

(11)国際公開番号

WO96/26463

(43)国際公開日 平成8年(1996)8月29日

発行日 平成10年(1998)1月27日

(51)Int.Cl.<sup>6</sup> F I

G 0 2 F

1/136

1/1333

識別記号

FI

庁内整理番号

FI

審査請求 有 予備審査請求 有 (全 59 頁)

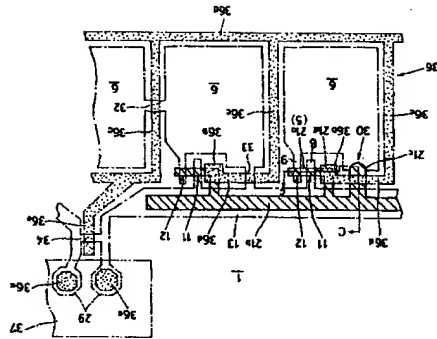
出願番号	特願平8-525570	(71)出願人	シチズン時計株式会社
(21)国際公開番号	PCT/JP96/00428	(72)発明者	東京都新宿区西新宿2丁目1番1号 田口 昇
(22)国際公開日	平成8年(1996)2月23日	(74)代理人	埼玉県所沢市大字下着字武蔵840番地 チズン時計株式会社技術研究所内 井理士 大澤 敏 (外1名)
(31)優先権主張番号	特願平7-34947		
(32)優先日	平7(1995)2月23日		
(33)優先権主張国	日本(JP)		
(81)指定国	GB, JP, KR, US		

(54)【発明の名称】 液晶表示装置およびその製造方法

(57)【要約】

スイッチング素子として薄膜ダイオードあるいは薄膜トランジスタを用いる液晶表示装置において、そのスイッチング素子および信号電極あるいは走査電極を形成した基板上の全面に保護膜を設け、その保護膜の各電極間に対応する位置にそれぞれ開口を設け、その開口部内の各電極層材料の残膜部をエッチングにより除去する。例えば、各画素電極に対してバック・トゥ・バック接続した2個の薄膜ダイオード11, 12を形成した基板1の全面に保護膜を設け、その画素電極6相互間、信号電極13と画素電極6との間、および信号電極13相互間に対応する位置にそれぞれ開口36c, 36d, 36eを有する開口部36を設け、その開口部36内の電極層材料の残膜部をエッチングにより除去する。それにより、1, 3, 2, 3, 4で示すような電極間ジョーエッチングが向上するため、表示欠陥が大幅に減少して、表示品質が向上し、製造時の歩留まりも向上する。

第1図



チングマスクにしてエッチングを行なって前記薄膜ダイオードの下部電極層を形成した後、前記第1のフォトレジストを除去する第1の工程と、

陽極酸化処理によって前記下部電極層の表面に、前記薄膜ダイオードの非線形抵抗層となる陽極酸化層を形成する第2の工程と、

前記下部電極層およびその表面に陽極酸化層を形成した第1の基板の全面に透明電極膜を形成し、その透明電極膜上に第2のフォトレジストをパターンニングし、その第2のフォトレジストをエッチングマスクにしてエッチングを行なって、前記薄膜ダイオードの上部電極と前記信号電極および画素電極とを形成した後、前記第2のフォトレジストを除去する第3の工程と、

上記第1、第2の工程を経た前記第1の基板の全面に前記保護膜を形成し、その保護膜上に第3のフォトレジストをパターンニングし、その第3のフォトレジストをエッチングマスクにしてエッチングを行なって、前記保護膜の前記画素電極相互間、前記信号電極と画素電極との間、および前記信号電極相互間に対応する位置にそれぞれ開口を形成するとともに、その後前記各開口内の前記下部電極層および透明電極膜の残膜部を除去する第4の工程と、  
を有することを特徴とする液晶表示装置の製造方法。

4. 前記第4の工程が、

前記第1、第2の工程を経た前記第1の基板の全面に前記保護膜を形成し、その保護膜上に第3のフォトレジストをパターンニングし、その第3のフォトレジストをエッチングマスクにしてエッチングを行なって、前記保護膜の前記画素電極相互間、前記信号電極と画素電極との間、および前記信号電極相互間に対応する位置にそれ

ぞれ開口を形成するとともに、オーバーエッチングを行なって前記各開口内の前記下部電極層の残膜部を除去する工程と、

前記保護膜の各開口内の前記透明電極膜の残膜部をエッチングによって除去した後、前記第3のフォトレジストを除去する工程と、

からなることを特徴とする請求の範囲第3項記載の液晶表示装置の製造方法。

5. 前記第4の工程が、

前記第1、第2の工程を経た前記第1の基板の全面に前記保護膜を形成し、その保護膜上に第3のフォトレジストをパターンニングし、その第3のフォトレジストをエッチングマスクにしてエッチングを行なって、前記保護膜の前記画素電極相互間、前記信号電極と画素電極との間、および前記信号電極相互間に対応する位置にそれぞれ開口を形成するとともに、オーバーエッチングを行なって前記各開口内の前記下部電極層の残膜部を除去した後、前記第3のフォトレジストを除去する工程と、

前記保護膜をエッチングマスクにしてエッチングを行なって、該保護膜の各開口内の前記透明電極膜の残膜部を除去する工程と、

からなることを特徴とする請求の範囲第3項記載の液晶表示装置の製造方法。

6. 特許請求の範囲第4項記載の液晶表示装置の製造方法において、  
前記第1の工程で、前記薄膜ダイオードとしてバック・トゥ・バック接続される2個の薄膜ダイオードの共通の下部電極層を、陽極酸化のために前記信号電極の下部電極層と接続させる接続部とともに形成し、

前記第3の工程で、前記透明電極膜のエッチングによって前記2個の薄膜ダイオードの各上部電極と、前記信号電極および画素電極とを形成し、

前記第4の工程で、前記第3のフォトレジストをエッチングマス

クにしてエッチングを行なうことにより、前記保護膜の前記下部電極層の接続部に対応する位置にも開口を形成し、オーバーエッチングによって前記保護膜の各開口内の下部電極層の残膜部を除去する際に、前記接続部も除去する

ことを特徴とする液晶表示装置の製造方法。

7. 特許請求の範囲第5項記載の液晶表示装置の製造方法において、

前記第1の工程で、前記薄膜ダイオードとしてバック・トゥ・バック接続される2個の薄膜ダイオードの共通の下部電極層を、陽極酸化のために前記信号電極の下部電極層と接続させる接続部とともに形成し、

前記第3の工程で、前記透明電極膜のエッチングによって前記2個の薄膜ダイオードの各上部電極と、前記信号電極および画素電極とを形成し、

前記第4の工程で、前記第3のフォトレジストをエッチングマスクにしてエッ

チングを行なうことにより、前記保護膜の前記下部電極層の接続部に対応する位置にも開口を形成し、オーバーエッチングによって前記保護膜の各開口内の下部電極層の残膜部を除去する際に、前記接続部も除去する

ことを特徴とする液晶表示装置の製造方法。

8. 請求の範囲第3項記載の液晶表示装置の製造方法において、

前記第3の工程で、前記透明電極膜のエッチングによって前記薄膜ダイオードの上部電極と、前記信号電極および画素電極とを形成する際に、この液晶表示装置を駆動するための駆動用ICの接続部を前記信号電極と連続して形成し、

前記第4の工程が、

前記第1、第2の工程を経た前記第1の基板の全面に前記保護膜を形成し、その保護膜上に第3のフォトリジストをパターンニングし、その第3のフォトリジストをエッチングマスクにしてエッチング

を行なう、前記保護膜の前記画素電極相互間、前記信号電極と画素電極との間、前記信号電極相互間、および前記駆動用ICの接続部に対応する位置にそれぞれ開口を形成するとともに、オーバーエッチングを行なって前記各開口内の前記下部電極層の残膜部を除去する工程と、

前記保護膜の駆動用ICの接続部に対応する位置の開口を覆うように樹脂膜を形成する工程と、

前記第3のフォトリジストと樹脂膜とをエッチングマスクとしてエッチングを行なって、前記樹脂膜に覆われていない各開口内の前記透明電極膜の残膜部を除去した後、前記第3のフォトリジストおよび前記樹脂膜を除去する工程と、

からなることを特徴とする液晶表示装置の製造方法。

9. 請求の範囲第3項記載の液晶表示装置の製造方法において、

前記第3の工程で、前記透明電極膜のエッチングによって前記薄膜ダイオードの上部電極と、前記信号電極および画素電極とを形成する際に、この液晶表示装置を駆動するための駆動用ICの接続部を前記信号電極と連続して形成し、

前記第4の工程が、

前記第1、第2の工程を経た前記第1の基板の全面に前記保護膜を形成し、そ

の保護膜上に第3のフォトリジストをパターンニングし、その第3のフォトリジストをエッチングマスクにしてエッチングを行なって、前記保護膜の前記画素電極相互間、前記信号電極と画素電極との間、前記信号電極相互間、および前記駆動用ICの接続部に対応する位置にそれぞれ開口を形成するとともに、オーバーエッチングを行なって前記各開口内の前記下部電極層の残膜部を除去した後、前記第3のフォトリジストを除去する工程と、

前記保護膜の駆動用ICの接続部に対応する位置の開口を覆うように樹脂膜を形成する工程と、

前記保護膜および樹脂膜をエッチングマスクにしてエッチングを

行なって、前記樹脂膜に覆われていない各開口内の前記透明電極膜の残膜部を除去する工程と、

からなることを特徴とする液晶表示装置の製造方法。

10. 所定の間隔をもって対向するそれぞれ透明な第1の基板と第2の基板との間に液晶を封入し、前記第1の基板上に、走査電極および信号電極と各表示画素を構成する画素電極とを設けるとともに、その走査電極および信号電極と各画素電極との間に該各画素電極への電流の流れを制御するスイッチング素子としてそれぞれ薄膜トランジスタを設けた液晶表示装置において、

前記第1の基板上に、前記走査電極および信号電極と各画素電極と各薄膜トランジスタを覆うように全面に保護膜を形成し、該保護膜の前記走査電極と画素電極との間、前記信号電極と画素電極との間、前記走査電極相互間、前記信号電極相互間、および前記走査電極と信号電極との間の少なくとも1箇所以上に対応する位置に開口を有する開口部を設け、その開口部内の前記走査電極、信号電極または画素電極を形成する電極層材料の残膜部がエッチングにより除去されていることを特徴とする液晶表示装置。

11. 請求の範囲第10項記載の液晶表示装置において、

前記保護膜の前記走査電極と画素電極との間、前記信号電極と画素電極との間、前記走査電極相互間、前記信号電極相互間、および前記走査電極と信号電極との間に対応する位置にそれぞれ開口を有する開口部を設け、その開口部内の前記

走査電極、信号電極および画素電極を形成する電極層材料の残膜部がエッチングにより除去されていることを特徴とする液晶表示装置。

12. 所定の間隔をもって対向するそれぞれ透明な第1の基板と第2の基板との間に液晶を封入し、前記第1の基板上に、走査電極および信号電極と各表示画素を構成する画素電極とを設けるとともに、

その走査電極および信号電極と各画素電極との間に該各画素電極への電流の流れを制御するスイッチング素子としてそれぞれ薄膜トランジスタを設けた液晶表示装置の製造方法であって、

前記第1の基板上に、前記走査電極及び信号電極と各画素電極、ならびに前記各薄膜トランジスタを構成するゲート電極とソース電極およびドレイン電極を、それぞれ各電極材料による電極膜の形成と、その電極膜上へのフォトレジストのパターンニング、およびそのパターンニングされたフォトレジストをエッチングマスクとするエッチング処理の繰り返しによって形成する第1の工程と、

前記各電極および薄膜トランジスタが形成された基板の全面に保護膜を形成し、この保護膜上にフォトレジストをパターンニングし、そのパターンニングされたフォトレジストをエッチングマスクにして前記保護膜をエッチングして、前記走査電極と画素電極との間、前記信号電極と画素電極との間、前記走査電極相互間、前記信号電極相互間、および前記走査電極と信号電極との間の少なくとも1箇所以上に対応する位置に開口を形成するとともに、その後前記各開口内の前記電極膜の残膜部を除去する第2の工程と、  
を有することを特徴とする液晶表示装置の製造方法。

13. 請求の範囲第12項記載の液晶表示装置の製造方法において、

前記第1の工程が、この液晶表示装置を駆動するための駆動用ICの接続部として、前記走査電極と連続する接続部と前記信号電極と連続する接続部とを形成する工程を有し、

前記第2の工程が、

前記各電極および薄膜トランジスタが形成された基板の全面に保護膜を形成し、この保護膜上にフォトレジストをパターンニングし、そのパターンニングされ

たフォトレジストをエッチングマスクにして前記保護膜をエッチングして、前記走査電極と画素電極との間、前記信号電極と画素電極との間、前記走査電極相互間、前記信号電極相互間、および前記走査電極と信号電極との間の少なくとも1箇所

所以上に対応する位置、および前記各駆動用ICの接続部に対応する位置に開口を形成する工程と、

前記保護膜の駆動用ICの接続部に対応する位置の開口を覆うように樹脂膜を形成する工程と、

前記フォトレジストと樹脂膜とをエッチングマスクとしてエッチングを行なって、前記樹脂膜に覆われていない各開口内の前記電極膜の残膜部を除去した後、前記フォトレジストおよび前記樹脂膜を除去する工程と、  
からなることを特徴とする液晶表示装置の製造方法。

14. 所定の間隔をもって対向するそれぞれ透明な第1の基板と第2の基板との間に液晶を封入し、前記第1の基板上に、走査電極および信号電極と各表示画素を構成する画素電極とを設けるとともに、その走査電極および信号電極と各画素電極との間に該各画素電極への電流の流れを制御するスイッチング素子としてそれぞれ薄膜トランジスタを設けた液晶表示装置の製造方法であって、

前記第1の基板上の全面に前記走査電極にもなるゲート電極材料を形成し、そのゲート電極材料上に第1のフォトレジストをパターンニングし、該第1のフォトレジストをエッチングマスクにして前記ゲート電極材料をエッチングして、前記薄膜トランジスタのゲート電極と前記走査電極とこの液晶表示装置を駆動するための第1の駆動用IC接続部とを形成した後、前記第1のフォトレジストを除去する第1の工程と、

この第1の工程を経た基板上の全面にゲート絶縁膜を形成し、該ゲート絶縁膜上に第2のフォトレジストをパターンニングし、その第2のフォトレジストをエッチングマスクにしてエッチングを行なって、前記第1の駆動用IC接続部上のゲート絶縁膜を除去した後、前記第2のフォトレジストを除去する第2の工程と

前記ゲート絶縁膜上に、半導体層とチャネルストッパ層とを順次形成し、そのチャネルストッパ層上に第3のフォトレジストをパタ

ーンニングし、その第3のフォトレジストをエッチングマスクにしてエッチングを行なって、前記チャネルストッパ層を前記半導体層上にパターンニングした後、前記第3のフォトレジストを除去する第3の工程と、

前記半導体層およびチャネルストッパ層上に第4のフォトレジストをパターンニングし、その第4のフォトレジストをエッチングマスクにして前記半導体層をエッチングして、前記ゲート電極と対向する所定形状の半導体層を形成した後、前記第4のフォトレジストを除去する第4の工程と、

この第4の工程を経た基板上の全面にオーミックコンタクト層となる材料の膜を形成し、該膜上に第5のフォトレジストをパターンニングし、その第5のフォトレジストをエッチングマスクにして前記膜をエッチングしてオーミックコンタクト層を形成した後、前記第5のフォトレジストを除去する第5の工程と、

この第5の工程を経た基板上の全面に透明電極膜を形成し、該透明電極膜上に第6のフォトレジストをパターンニングし、その第6のフォトレジストをエッチングマスクにして前記透明電極層をエッチングして前記画素電極を形成した後、前記第6のフォトレジストを除去する第6の工程と、

この第6の工程を経た基板上の全面に、前記有機膜トランジスタのソース電極およびドレイン電極と前記信号電極となる材料の膜を形成し、該膜上に第7のフォトレジストをパターンニングし、その第7のフォトレジストをエッチングマスクにしてエッチング処理を行なって、前記ソース電極およびドレイン電極と、前記信号電極と、第2の駆動用IC接続部とを形成した後、前記第7のフォトレジストを除去する第7の工程と、

この第7の工程を経た基板上の全面に保護膜を形成し、その保護膜上に第8のフォトレジストをパターンニングし、その第8のフォトレジストをエッチングマスクにして前記保護膜をエッチングして、前記走査電極と画素電極との間、前記信号電極と画素電極との間、

前記走査電極相互間、前記信号電極相互間、および前記走査電極と信号電極との間の少なくとも1箇所以上に対応する位置と、前記第1および第2の駆動用IC接続部に対応する位置に開口を形成する第8の工程と、

前記保護膜の前記第1および第2の駆動用IC接続部に対応する位置に形成された開口を覆うように樹脂膜を形成する第9の工程と、

その後、前記樹脂膜と前記第8のフォトレジストまたは前記保護膜をエッチングマスクにして、前記樹脂膜に覆われていない各開口内の前記電極膜の残膜部を除去する第10の工程と、

を有することを特徴とする液晶表示装置の製造方法。

## 【発明の詳細な説明】

液晶表示装置およびその製造方法

## 技術分野

この発明は、時計、電卓、ビデオカメラ、その他各種電子機器の表示器として広範に使用されているモノクロあるいはカラーの液晶表示装置とその製造方法に関する。

そして特に、表示画面にマトリクス状に配置する各画素に対して設ける非線形素子である薄膜ダイオードや薄膜トランジスタを制御して、液晶を駆動する液晶表示装置の構造と、その製造方法に関する。

## 背景技術

近年、液晶パネルを用いた液晶表示装置の表示容量は、大容量化の一途をたどっている。

そして、単純マトリクス構成の液晶表示装置にマルチプレクス駆動を用いる方式においては、高時分割化するに従ってコントラストの低下あるいは応答速度の低下が生じる。このため、200本程度の走査線を有する場合には、充分なコントラストを得ることが難しくなる。

そこで、このような欠点を除去するために、それぞれの画素にスイッチング素子を設けるアクティブマトリクス方式の液晶表示パネルが採用されている。

このアクティブマトリクス方式の液晶表示パネルには、大別すると、スイッチング素子として薄膜トランジスタ (Thin Film Transistor: 「TFT」) と略称する) を用いる三端子系と、非線形抵抗素子である薄膜ダイオード (Thin Film Diode: 「TFD」) と略称する) を用いる二端子系とがある。そして、構造や製造方法が簡単な点では二端子系の方が多用されている。

この二端子系には、ダイオード型やバリスタ型、あるいはMIM (Metal-Insulator-Metal) 型などが開発されている。

そこで、従来の薄膜ダイオードを用いた液晶表示装置の構造を、その部分的な平面図である第20図及びそのA-A線に沿う断面図である第21図を用いて説明する。

この液晶表示装置は、第21図に示すように、それぞれガラス等の透明材料からなる第1の基板1と第2の基板2とをスペーサ3を介して所定の間隔をもって対向させ、その間に液晶4を封入している。

その第1の基板1上には、下部電極5と画素電極 (表示電極) 6を第20図に示すようにマトリクス状に設け、その下部電極5上に非線形抵抗層として陽極酸化層7を形成する。さらに、その陽極酸化層7上にオーバーラップするように一対の上部電極8、9を設けている。

そして、下部電極5と陽極酸化層7と上部電極8とによって第1の非線形抵抗素子である薄膜ダイオード (TFD) 11を構成し、下部電極5と陽極酸化層7と上部電極9とによって第2の非線形抵抗素子であるTFD12を構成している。

第1のTFD11の上部電極8は、このTFD11に外部より信号を印加する信号電極13 (第20図) に接続し、第2のTFD12の上部電極9は画素電極6と導通している。

そして、この第1のTFD11と第2のTFD12によってスイッチング素子部を構成しており、「信号電極13→上部電極8→陽極酸化層7→下部電極5→陽極酸化層7→上部電極9→画素電極6」の電気経路を形成している。

一方、第2の基板2の第1の基板1と対向する面には、第1の基板1上に設けた各画素電極6の隙間からの光の漏れを防止するために、第20図に斜線を施して示す領域全体にブラックマトリクス14を設けている。すなわち、非表示部に遮光用のブラックマトリクス14を設けている。

さらに、第2の基板2には、走査電極となる対向電極15を第21図に示すように画素電極6と対向させて、ブラックマトリクス1

4と接触して短絡しないように絶縁膜16を介して、第20図に示すように帯状に設けている。

なお、第21図においては、第1の基板1上の下部電極5と上部電極8、9、および画素電極6と信号電極13はいずれも破線で示し、陽極酸化層7は図示を省略し、第2の基板2の下面のブラックマトリクス14と対向電極15は実線で



示している。

また、第1の基板1と第2の基板2の対向側には、液晶4の分子を規則的に並べるための処理層として、それぞれ配向膜17、18を設けている。また、第1の基板1と第2の基板2の外側の面には、それぞれ図示しない偏光板を配設し、矢示19の方向から図示しない面光源によりバックライト光を照射する。

画素電極6は、液晶4を介して対向電極15と重なり合うように配置されており、液晶表示パネルの画素部となり、画素電極6上のブラックマトリクス14が形成されていない領域の液晶4の配向状態の変化による光透過率の変化により、この液晶表示装置は所定の画像表示を行なう。

第22図はこの液晶表示装置の等価回路であり、信号電極13と対向電極（走査電極）15とがマトリクス状に形成され、各画素電極6ごとに、信号電極13と対向電極15との間に、第1のTFD11と第2のTFD12がバック・トゥ・バック接続されて配設され、画素電極6から液晶4の容量を介して対向電極15に導通するスイッチング回路を形成している。

この信号電極13と対向電極15間に選択的にスレッシュホールド値以上の電圧を印加すると、両電極間のスイッチング回路にオン電流が流れ、画素電極6と対向電極15の間の液晶4の配向を回転させ、光透過状態にする。

ところで、薄膜ダイオード（TFD）は印加電圧の極性により非対称な電圧－電流特性を示すことが多いが、このように2個のTFD11、12をバック・トゥ・バック接続して使用することによって、プラス側とマイナス側の特性を対称にすることができる。

しかし、各画素毎に1個のTFDでスイッチング回路を構成することもでき、その場合の液晶表示装置の等価回路は第23図に示すようになる。ここで、10は第1、第2のTFD11、12と同様なTFDであり、各信号電極13と対向電極（走査電極）15との間に、画素電極6と対向電極15間の液晶4の容量と直列なスイッチング回路を構成している。

次に、第20図乃至第22図に示した液晶表示装置を製造する際の従来技術による薄膜ダイオード（TFD）の作成方法を、第24図の平面図と第25図乃至

第29図の各工程を示す断面図を用いて説明する。

はじめに、第25図に示すように、ガラスからなる第1の基板（以下単に「基板」という）1上の全面にタンタルからなる下部電極層材料21を、スパッタリング法で形成する。

その後、この下部電極層材料21上の全面に、回転塗布法によりフォトレジストを形成し、所定のフォトリソクを用いて露光と現像処理を行ない、第26図に示す下部電極層21a、21bのパターンに形成した第1のフォトレジスト22を形成する。

ここまでの処理工程において、タンタルからなる下部電極層材料21を形成した直後におけるゴミの付着や、第1のフォトレジスト22上へのゴミの付着、あるいはフォトリソクの汚染などに起因して、下部電極層材料21上に異物31が形成してしまうことがある。

その後、乾式エッチング法により第1のフォトレジスト22をエッチングマスクに用いて下部電極層材料21のパターニングを行ない、第26図に示す下部電極層21a、21bを形成する。

この下部電極層21a、21bを形成するエッチング処理において、異物31もエッチングマスクとなり、規定寸法より大きなパターン形状の下部電極層21aが形成されることになる。異物31の付着位置によっては、規定寸法より大きなパターン形状の下部電極層21bが形成される場合もある。

この薄膜ダイオード（TFD）の下部電極5となる下部電極層2

1aと、信号電極13の下部層となる下部電極層21b、および余分に形成された下部電極層21cの平面パターン形状を第24図に実線と破線で示し、その最終的に残る領域内に斜線を施している。

その後、第26図に示すように下部電極層21a～21cの表面を陽極酸化処理して、その各下部電極層の表面に非線形抵抗層である陽極酸化層7を35nmの膜厚で形成する。

さらに、第27図に示すように、スパッタリング法により透明導電膜として、たとえば酸化インジウム錫（ITO）からなる透明電極膜24を100～200

n mの膜厚で全面に形成する。

その後、この透明電極膜24の全面に回転塗布法によりフォトリジストを形成し、所定のフォトリジストを用いて露光と現像処理とを行ない、薄膜ダイオードの2つの上部電極と画素電極と信号電極の上層のパターンとを形成した第2のフォトリジスト25を形成する。

そして、この第2のフォトリジスト25をエッチングマスクに用いて、透明電極膜24をエッチングして、第28図に示すように第1、第2のTFDの各上部電極8、9と、画素電極6と、信号電極13の上層のパターンとを形成する。

第24図では、画素電極6の平面パターン形状を一点鎖線で示し、信号電極13の平面パターン形状を二点鎖線で示す。また画素電極6と信号電極13は、下部電極層21b、21c上にも形成される。

各信号電極13の先端は、1ライン毎の駆動用IC（半導体装置）接続部29を形成している。

次に、第28図に示すように、スパッタリング法により五酸化タンタルからなる保護膜26を100～200nmの厚さで全面に形成する。

その後、この保護膜26の全面に回転塗布法によりフォトリジストを形成し、所定のフォトリジストを用いて露光と現像処理とを行ない、開口部パターン27aを有する第3のフォトリジスト27を形成する。

この第3のフォトリジスト27の開口部パターン27aは、第2

4図に示す下部電極層21aと21bの接続部（共電部）21dと、駆動用IC接続部29とにそれぞれ対応する位置に形成され、それによつて保護膜26に2点鎖線と点描で示す開口部26a、26bを形成できるようにしている。

すなわち、この第3のフォトリジスト27をエッチングマスクに用いて、下部電極層の接続部21dと駆動用IC接続部29上の保護膜26を乾式エッチング法によりエッチングし、第29図に示すように開口部26a、26b（開口部26bは第24図にのみ示す）を有する保護膜26を形成する。

開口部26aからはさらに、陽極酸化層7とタンタルからなる下部電極層の連接部21dに対するエッチングを順次行なう。

それによって、第24図に示すように下部電極層21aが信号電極13の下部電極層21bから分離され、第1のTFD11と第2のTFD12のための島状の下部電極5となる。

保護膜26は、TFD11、12を設ける第1の基板1上の信号電極13および画素電極6と、これに対向する第2の基板2上の対向電極（走査電極）との間でショートが発生するのを防止するために形成する。なお、第24図においては、図示の都合上保護膜26自体は図示しておらず、開口部26a、26bのみを示している。

しかしながらこの作成例によれば、第24図の平面図と第29図の断面図に示すように、信号電極13と接続する第1のTFD11と、画素電極6と接続する第2のTFD12以外に、異物31により信号電極13の下部電極層21bから突出して形成された下部電極層21cにより、異常薄膜ダイオード部30が形成されてしまう。

このように異常薄膜ダイオード部30が形成されることにより、TFD11、12の部分と液晶との容量比が変化し、液晶駆動電圧のスレッシュホールド値（しきい値）電圧が変わる。それによって、第22図に示した信号電極13と対向電極15との間に所定の電圧を印加してもオン電流が流れず、液晶4の配向状態が変わらない画素となり、液晶表示装置が点欠陥を生じるという問題点が発生する。

さらに、第24図に示すように、画素電極6同士が短絡する画素間ショート32、信号電極13と画素電極6とが短絡する信号電極・画素間ショート33、信号電極13同士が短絡する信号電極間ショート34などの欠陥も発生することがある。

これらのショート欠陥は、タンタルからなる下部電極層材料21あるいは透明電極膜24のエッチング残りにより発生し、このようなショート欠陥の発生によっても液晶表示装置は点欠陥を生じ、表示品質が低下するという問題がある。

このような薄膜ダイオード（TFD）をスイッチング素子として用いる液晶表示装置における問題点は、薄膜トランジスタ（TFT）をスイッチング素子として用いる液晶表示装置においても同様に発生する。

それを第30図によって説明する。第30図は従来の薄膜トランジスタを用いた液晶表示装置を構成するアクティブマトリクス基板の部分的な平面図である。

この液晶表示装置のアクティブマトリクス基板は、前述の従来例における第1の基板側に相当し、透明なガラスからなる基板1上に、同一材料でゲート電極Gと走査電極41とを設けている。

そして、このゲート電極Gと走査電極41との表面に陽極酸化層を形成し、さらにその上に絶縁性被膜を設けて陽極酸化層とともにゲート絶縁膜を構成するが、これは図示を省略している。

このゲート絶縁膜上にソース領域47sとドレイン領域47dおよび中央のチャンネル領域を形成する半導体層47を設け、その半導体層47上にチャネルストップ層48を設けている。また、透明電極膜からなる画素電極50を設ける。

チャネルストップ層48上に、図示を省略したオーミックコンタクト層を介して信号電極42と連続するソース電極Sおよび画素電極50に導通するドレイン電極Dを設けて、薄膜トランジスタ40を構成している。

さらに、画素電極50の薄膜トランジスタ40と反対側の領域と、

走査電極41に形成した図中に破線で示す幅広部41aと、その間に設けられた図示しないゲート絶縁膜とによって、〔金属―絶縁膜―金属〕構造からなる蓄積容量Cを形成する。

走査電極41と信号電極42の端部には、それぞれこの液晶表示装置を駆動する駆動用ICを実装するための駆動用IC接続部44a、44bを設けている。

このような構成においても、基板上に薄膜ダイオードを作成する場合と同様に、フォトリジストの露光処理と現像処理工程において発生する異物に起因して、画素内の画素電極50と信号電極42との間、画素電極50と走査電極41の間に、あるいはこの液晶表示装置を駆動する駆動用ICへの信号経路である信号電極42相互の間、走査電極41相互の間、および走査電極41と信号電極42の間に、電極間の短絡であるショート欠陥53a～53eが発生することがある。

1つの画素面積を小さく微細化した液晶表示装置においては、それぞれの電極間の隙間寸法が小さくなるため、このようなショート欠陥が多発する。

このような薄膜ダイオードあるいは薄膜トランジスタをスイッチング素子として用いる液晶表示装置における画素間ショートや電極間ショートなどのショート欠陥の原因は、フォトリジストのパターニング等の処理工程中にゴミの付着により発生する。このゴミの発生源は製造装置や人間からによるものが大半を占めており、このゴミの発生をなくすることは非常に困難である。そして、これらのショート欠陥により、液晶表示装置は表示欠陥を多発してしまい、表示品質が悪くなる。また、液晶表示装置を製造する際の歩留りが低くなる原因でもある。

しかるに、近年、アクティブマトリクス型の液晶表示装置は、大画面でしかも高画質が要求されており、さらに液晶パネルを用いた接眼端末やプロジェクションテレビ、ナビゲーションテレビへと応用が広がり、より高精細パターンで高歩留りが要求されている。

この発明は、このような問題を解決して、薄膜ダイオードや薄膜トランジスタをスイッチング素子として用いた液晶表示装置の表示品質を向上させること、および表示品質のよい液晶表示装置を歩留りよく製造できるようにすることを目的とする。

#### 発明の開示

この発明は、所定の間隔をもって対向するそれぞれ透明な第1の基板と第2の基板との間に液晶を封入し、第1の基板上に、信号電極および各表示画素を構成する画素電極を設けるとともに、その信号電極と各画素電極との間に該各画素電極への電流の流れを制御するスイッチング素子としてそれぞれ薄膜ダイオードを設け、第2の基板に、第1の基板上の各画素電極と液晶を介して対向する対向電極を設けた液晶表示装置において、上記の目的を達成するための次のようにしたものである。

すなわち、上記第1の基板上に、信号電極と各画素電極および各薄膜ダイオードを覆うように、全面に五酸化タンタル等による保護膜を形成し、その保護膜の上記画素電極相互間、信号電極と画素電極との間、および信号電極相互間に対応する位置にそれぞれ開口を有する開口部を設け、その開口部内の信号電極および画素電極を形成する電極層材料の残膜部をエッチングにより除去している。

このようにすることにより、各電極を形成するエッチングの際に画素間ショートや電極間ショートなどのショートの欠陥が発生したとしても、最終的にはそれらのショート欠陥となる残膜部が除去されるため、表示欠陥が生じることは殆どなくなり、表示品質が向上するとともに、液晶表示装置製造時の歩留まりも大幅に向上する。また、信号電極と各画素電極との間に、それぞれ2個の薄膜ダイオードがバック・トゥ・バック接続されて設けられており、その2個の薄膜ダイオードの共通の下部電極と信号電極の下部電極層とが陽極酸化のために接続部によって接続して形成されている液晶表示装置の場合には、上記保護膜の開口部がその接続部に対応する位置に

も開口を有し、その開口内の接続部も残膜部とともにエッチングにより除去されるようにする。

また、このような薄膜ダイオードを用いた液晶表示装置のこの発明による製造方法は、次の各工程を有する。

(1) 上記第1の基板上の全面に下部電極層材料を形成し、その下部電極層材料上に第1のフォトリジストをパターンニングし、その第1のフォトリジストをエッチングマスクにしてエッチングを行なって上記薄膜ダイオードの下部電極層を形成した後、第1のフォトリジストを除去する第1の工程。

(2) 陽極酸化処理によって上記下部電極層の表面に、薄膜ダイオードの非線形抵抗層となる陽極酸化層を形成する第2の工程、

(3) 上記下部電極層およびその表面に陽極酸化層を形成した第1の基板の全面に透明電極膜を形成し、その透明電極膜上に第2のフォトリジストをパターンニングし、その第2のフォトリジストをエッチングマスクにしてエッチングを行なって、薄膜ダイオードの上部電極と信号電極および画素電極とを形成した後、第2のフォトリジストを除去する第3の工程。

(4) 上記第1、第2の工程を経た第1の基板の全面に保護膜を形成し、その保護膜上に第3のフォトリジストをパターンニングし、その第3のフォトリジストをエッチングマスクにしてエッチングを行なって、保護膜の画素電極相互間、信号電極と画素電極との間、および前記信号電極相互間に対応する位置にそれぞれ

開口を形成するとともに、その後上記各開口内の下部電極層および透明電極膜の残膜部を除去する第4の工程。

この製造方法により、薄膜ダイオードをスイッチング素子として用いる表示品質の高い液晶表示装置を歩留りよく製造することができる。

なお、上記第4の工程において、保護膜に開口部を形成するエッチングの際にオーバーエッチングを行なって、形成された各開口内の下部電極層の残膜部を除去し、その後第3のフォトリジストを付け

たまま透明電極膜材料に対するエッチングを行なって、保護膜の各開口内の透明電極膜の残膜部を除去した後、第3のフォトリジストを除去することができる。

あるいは、オーバーエッチングによって保護膜の各開口内の下部電極層の残膜部を除去した後、第3のフォトリジストを除去し、保護膜をエッチングマスクにしてエッチングを行なって、保護膜の各開口内の透明電極膜の残膜部を除去するようにしてもよい。また、上記第3の工程で、透明電極膜のエッチングによって薄膜ダイオードの上部電極と、信号電極および画素電極とを形成する際に、この液晶表示装置を駆動するための駆動用ICの接続部を信号電極と連続して形成することができる。

その場合には、上記第4の工程では、保護膜を形成した後第3のフォトリジストをエッチングマスクにしてエッチングを行なって、保護膜の画素電極相互間、信号電極と画素電極との間、信号電極相互間、および駆動用ICの接続部に対応する位置にそれぞれ開口を形成するとともに、オーバーエッチングを行なって前記各開口内の下部電極層の残膜部を除去する。

その後、上記保護膜の駆動用ICの接続部に対応する位置の開口を覆うように樹脂膜を形成する。

そして、第3のフォトリジストと樹脂膜とをエッチングマスクとしてエッチングを行なって、上記樹脂膜に覆われていない各開口内の透明電極膜の残膜部を除去した後、第3のフォトリジストおよび前記樹脂膜を除去する。

あるいは、上記オーバーエッチングによって保護膜の各開口内の下部電極層の残膜部を除去した後、第3のフォトリジストを除去し、保護膜の駆動用ICの接続

部に対応する位置の開口を覆うように樹脂膜を形成して、その保護膜および樹脂膜をエッチングマスクにしてエッチングを行なって、樹脂膜に覆われていない保護膜の各開口内の透明電極膜の残膜部を除去するようにしてもよい。

この発明はさらに、所定の間隔をもって対向するそれぞれ透明な

第1の基板と第2の基板との間に液晶を封入し、その第1の基板上に、走査電極および信号電極と各表示画素を構成する画素電極とを設けるとともに、その走査電極および信号電極と各画素電極との間に該各画素電極への電流の流れを制御するスイッチング素子としてそれぞれ薄膜トランジスタを設けた液晶表示装置において、前述の目的を達成するため、次のようにしたものである。

すなわち、上記第1の基板上に、走査電極および信号電極と各画素電極と各薄膜トランジスタを覆うように全面に保護膜を形成し、その保護膜の走査電極と画素電極との間、信号電極と画素電極との間、前記電極相互間、信号電極相互間、および走査電極と信号電極との間の少なくとも1箇所以上に対応する位置に開口を有する開口部を設け、その開口部内の走査電極、信号電極または画素電極を形成する電極層材料の残膜部をエッチングにより除去したものである。

そして、このようなスイッチング素子として薄膜トランジスタを用いた液晶表示装置のこの発明による製造方法は、次の各工程を有する。

(1) 第1の基板上に、走査電極及び信号電極と各画素電極、ならびに各薄膜トランジスタを構成するゲート電極とソース電極およびドレイン電極を、それぞれ各電極材料による電極膜の形成と、その電極膜上へのフォトレジストのパターンニング、およびそのパターンニングされたフォトレジストをエッチングマスクとするエッチング処理の繰り返しによって形成する第1の工程。

(2) 上記各電極および薄膜トランジスタが形成された基板の全面に保護膜を形成し、この保護膜上にフォトレジストをパターンニングし、そのパターンニングされたフォトレジストをエッチングマスクにして保護膜をエッチングして、走査電極と画素電極との間、信号電極と画素電極との間、走査電極相互間、信号電極相互間、および前記走査電極と信号電極との間の少なくとも1箇所以上に対応する位置に開口を形成するとともに、その後上記各開口内の上記電極膜の残膜部を

除去する第2の工程。

また、上記第1の工程において、この液晶表示装置を駆動するための駆動用ICの接続部として、走査電極と接続する接続部と信号電極と接続する接続部とを形成することができる。

その場合には、上記第2の工程において、保護膜をエッチングして、走査電極と画素電極との間、信号電極と画素電極との間、走査電極相互間、前記電極相互間、および走査電極と信号電極との間の少なくとも1箇所以上に対応する位置に開口を形成する際に、上記各駆動用ICの接続部に対応する位置にも開口を形成する。

そして、その保護膜の駆動用ICの接続部に対応する位置の開口を覆うように樹脂膜を形成し、上記フォトレジストとこの樹脂膜、あるいは上記保護膜とこの樹脂膜とをエッチングマスクとしてエッチングを行なって、上記樹脂膜に覆われていない各開口内の電極膜の残膜部を除去する。その後、上記樹脂膜、あるいは上記フォトレジストと樹脂膜を除去する。

この発明はさらに、次の各工程を有する薄膜トランジスタを用いた液晶表示装置の製造方法も提供する。

(1) 上記第1の基板上の全面に走査電極にもなるゲート電極材料を形成し、そのゲート電極材料上に第1のフォトレジストをパターンニングし、該第1のフォトレジストをエッチングマスクにして上記ゲート電極材料をエッチングして、薄膜トランジスタのゲート電極と上記走査電極とこの液晶表示装置を駆動するため第1の駆動用IC接続部とを形成した後、第1のフォトレジストを除去する第1の工程。

(2) この第1の工程を経た基板上の全面にゲート絶縁膜を形成し、該ゲート絶縁膜上に第2のフォトレジストをパターンニングし、その第2のフォトレジストをエッチングマスクにしてエッチングを行なって、上記第1の駆動用IC接続部上のゲート絶縁膜を除去した後、第2のフォトレジストを除去する第2の工程。  
(3) 上記ゲート絶縁膜上に、半導体層とチャネルストップ層とを順次形成し、そのチャネルストップ層上に第3のフォトレジストを

パターンニングし、その第3のフォトリジストをエッチングマスクにしてエッチングを行なって、上記チャネルストップ層を前記半導体層上にパターンニングした後、第3のフォトリジストを除去する第3の工程。

(4) 上記半導体層およびチャネルストップ層上に第4のフォトリジストをパターンニングし、その第4のフォトリジストをエッチングマスクにして半導体層をエッチングして、上記ゲート電極と対向する所定形状の半導体層を形成した後、第4のフォトリジストを除去する第4の工程。

(5) この第4の工程を経た基板上の全面にオーミックコンタクト層となる材料の膜を形成し、該膜上に第5のフォトリジストをパターンニングし、その第5のフォトリジストをエッチングマスクにして前記膜をエッチングしてオーミックコンタクト層を形成した後、第5のフォトリジストを除去する第5の工程。

(6) この第5の工程を経た基板上の全面に透明電極膜を形成し、該透明電極膜上に第6のフォトリジストをパターンニングし、その第6のフォトリジストをエッチングマスクにして上記透明電極層をエッチングして画素電極を形成した後、第6のフォトリジストを除去する第6の工程。

(7) この第6の工程を経た基板上の全面に、薄膜トランジスタのソース電極およびドレイン電極と上記信号電極となる材料の膜を形成し、該膜上に第7のフォトリジストをパターンニングし、その第7のフォトリジストをエッチングマスクにしてエッチング処理を行なって、ソース電極およびドレイン電極と、信号電極と、第2の駆動用IC接続部とを形成した後、第7のフォトリジストを除去する第7の工程。

(8) この第7の工程を経た基板上の全面に保護膜を形成し、その保護膜上に第8のフォトリジストをパターンニングし、その第8のフォトリジストをエッチングマスクにして上記保護膜をエッチングして、上記走査電極と画素電極との間、信号電極と画素電極との間、

走査電極相互間、信号電極相互間、および走査電極と信号電極との間の少なくとも1箇所以上に対応する位置と、上記第1および第2の駆動用IC接続部に対応する位置に開口を形成する第8の工程。

(9) 上記保護膜の第1および第2の駆動用IC接続部に対応する位置に形成された開口を覆うように樹脂膜を形成する第9の工程。

(10) その後、上記樹脂膜と第8のフォトリジストまたは保護膜をエッチングマスクにして、上記樹脂膜に覆われていない各開口内の電極膜の残膜部を除去する第10の工程。

#### 図面の簡単な説明

第1図はこの発明による薄膜ダイオードを使用する液晶表示装置の一実施例を示す部分的な平面図である。

第2図乃至第6図はその液晶表示装置の製造工程を説明するための第1図のC-C線に沿う断面図である。

第7図はこの発明による薄膜ダイオードを使用する液晶表示装置他の実施例を示す部分的な平面図である。

第8図は薄膜トランジスタを使用する液晶表示装置の等価回路図である。

第9図はこの発明による薄膜トランジスタを使用する液晶表示装置の実施例を示すアクティブマトリクス基板の部分的な平面図である。

第10図は第9図のE-E線に沿う断面図である。

第11図乃至第19図はその液晶表示装置の製造工程を説明するための第10図と同様な断面図である。

第20図は従来の薄膜ダイオードを使用した液晶表示装置の一例を示す部分的な平面図である。

第21図は第20図のA-A線に沿う断面図である。

第22図は第20図および第21図に示す液晶表示装置の等価回路図である。

第23図は従来の薄膜ダイオードを使用した液晶表示装置の他の例を示す第2図と同様な等価回路図である。

第24図は第20図～第22図に示した液晶表示装置を製造する際の従来技術による薄膜ダイオードの作成方法を説明するための平面図である。

第25図～第29図は同じくその各工程を説明するための第24図のB-B線に沿う断面図である。

第30図は従来の薄膜トランジスタを使用する液晶表示装置のアクティブマトリクス基板の部分的な平面図である。

発明を実施するための最良の形態

この発明の内容をより詳細に説明するために、添付の図面を参照しながら、この発明による液晶表示装置およびその製造方法の実施の形態を説明する。

〔TFDを使用する液晶表示装置の実施例〕

まず、前述した従来例と同様に薄膜ダイオード (TFD) をスイッチング素子として使用する液晶表示装置とその製造方法にこの発明を適用した場合の実施例を説明する。

第1図はその液晶表示装置を示す第24図と同様な部分的な平面図であり、第2図乃至6図はこの液晶表示装置の製造工程を説明するための第1図のC-C線に沿う断面図である。

これらの図において、従来技術の説明に使用した第20図乃至第29図と対応する部分には同一の符号を付してある。

そこで、まず第1図と第6図および従来例で用いた第22図の回路図とを用いて、この発明による液晶表示装置の構造を説明する。

この実施例による液晶表示装置は、第1図と第6図に示すように、透明なガラスからなる基板 (第21図における第1の基板に相当する) 1上に信号電極の下部電極層21bと薄膜ダイオードの下部電極5となるタンタルによる下部電極層を設けている。さらにこの下部電極層21b及び下部電極5の表面に非線形抵抗層として陽極酸化層7を設けている。

さらに、この陽極酸化層7上に、酸化インジウム錫の透明電極膜

による画素電極6と信号電極13と薄膜ダイオード素子の上部電極8、9とを設ける。

これらによって、信号電極13と接続する第1の薄膜ダイオード (TFD) 1と、画素電極6と接続する第2の薄膜ダイオード (TFD) 12とを構成する。これらの構造は、第24図と第29図によって説明した従来の液晶表示装置と同様である。

そして、これらを形成した基板1の全面に保護膜26を被覆する点も従来と同様であるが、この実施例における保護膜26には、第1図に仮想線と点線で示すように、駆動用IC (半導体装置) 接続部29に対応する開口36aと、下部電極層21aと21bの接続部 (共電部) 21dに対応する開口36bと、隣接する画素電極6、6間に対応する開口36cと、画素電極6と信号電極13間に対応する開口36dと、隣接する信号電極13、13間に対応する開口36eからなるスリット状の開口部36を設けている。

この場合、駆動用IC接続部29に対応する開口36aを除く各開口36b～36eを、第1図に示すようにに連続するスリット状の開口部36として設けてもよいし、あるいはそれぞれ開口を独立した開口部として設けるようにしてもよい。また、電極間の開口36c36d、36eは隣り合う電極間の略全長に亘ってスリット状に形成するのが望ましい。

この開口部36のうち、駆動用IC接続部29に対応する開口部36aは、保護膜26だけを開口させて、信号電極13と一体に形成されている駆動用IC接続部29の透明導電膜を露出させるためのものであり、それ以上のエッチングはなされない。

しかし、その他の開口36b～36eについては、その開口内に形成されている基板1上の全ての層、すなわち信号電極13および画素電極6を形成する透明電極膜、第1、第2のTFD11、12の下部電極5となる下部電極層21aおよび信号電極13の下部電極層21b等を形成する下部電極層、並びにその表面に形成された陽極酸化層7を全てエッチングにより除去している。

これによって、接続部21dのエッチングにより、下部電極層21aが信号電極13の下部電極層21bから分離されて、第1、第2のTFD11、12のための島状の下部電極5となると共に、第1図及び第6図に示すように、異常薄膜ダイオード部30が信号電極13から分離され、第1図に1点鎖線で示すように画素間ショート32、信号電極・画素間ショート33、あるいは信号電極間ショート34等が発生していたとしても、それらが切断されてショート状態が除去される。

したがって、この液晶表示装置は表示点欠陥の発生要因が除去されており、表示品質が良好なものである。

なお、これら図には従来例の第21図に示した配向膜18は図示していないが、第21図に示した液晶表示装置と同様に基板1とこれに対向する第2の基板との間に液晶を封入して液晶表示装置を完成させる際には、内面全体に配向膜を設ける。

また、この液晶表示装置においても、第22図に示した等価回路図と同様に、第1のTFD11と第2のTFD12とは、バック・トゥ・バック接続（逆方向の直列接続）されている。

このことにより、信号電極13から画素電極6側に流れる電流値と、画素電極6から信号電極13側に流れる電流値とは、2つの薄膜ダイオード11、12の順方向電流値と逆方向電流値との和となるため等しくなり、対称な電流－電圧特性を有する薄膜ダイオード素子を得ることができる。

それによって、この液晶表示装置の駆動回路にはオフセット回路を設ける必要がなく、液晶の固定パターン残像現象の原因となる直流電圧がかからず、さらに駆動回路の低コストも図れる利点がある。

〔TFDを用いた液晶表示装置の製造方法〕

次に、この液晶表示装置の製造方法、特に薄膜ダイオード素子の作成方法を説明する。

第2図乃至第6図はその製造工程を示す図であるが、第2図乃至

第4図は、前述した従来方法の説明に用いた第25図乃至第27図と同じである。

まず、第2図に示すように、透明なガラスからなる基板1上に、下部電極層材料21であるポリシリコンをスパッタリング法により100nmの膜厚で形成する。その後、ポジ型のフォトリソグラフィを用いて下部電極層材料21上の全面に、回転塗布法により形成し、第1のフォトリソグラフィを用いて露光処理と現像処理によってフォトリソグラフィパターンニングを行い、第1のフォトリソグラフィによってフォトリソグラフィパターンニングにおいて、タンタルからなる下部電極層材料21を形成し

た直後あるいはその後における下部電極層材料21上へのゴミの付着や、第1のフォトリソグラフィ工程における下部電極層材料21上へのゴミの付着や、第1の電極層材料21上に異物31が形成されることがある。

次に、第3図に示すように、平行平板型電極構造のエッチング装置のエッチングチャンバ内に、エッチングガスとして六フッ化硫黄を200cc/分とヘリウムを200cc/分と酸素を300cc/分を各流量で導入し、エッチングチャンバ内の圧力を50mTorrに保ち、高周波電力1KW投入し、第1のフォトリソグラフィ工程でエッチングマスクにして、下部電極層材料21であるタンタル膜をエッチングして、第3図に示すように薄膜ダイオードの下部電極と信号電極13の下部層となる下部電極層21a、21bを形成する。

この下部電極層21a、21bを形成するエッチング処理において、異物31もエッチングマスクとなり、この例では規定寸法より大きなパターン形状の信号電極用の下部電極層21bが形成されることになる。この余分に形成された部分を、第3図以降の図面では下部電極層21cとしている。異物31の付着位置によっては、規定寸法より大きなパターン形状のTFD用の下部電極層21aが形成される場合もある。

この薄膜ダイオード（TFD）の下部電極5となる下部電極層2

1aと、信号電極13の下部層となる下部電極層21b、および余分に形成された下部電極層21cの平面パターン形状を第1図に実線と破線で示し、その最終的に残る領域内に斜線を施している。

その後、下部電極層21a～21cの表面を陽極酸化処理して、第3図に示すように非線形抵抗層である陽極酸化層7を形成する。この陽極酸化処理は、陽極酸化液として0.1wt%クエン酸溶液を用いて行なう。

このとき、陽極酸化層7は35nmの厚さとなるように陽極酸化電圧を18Vに設定し、0.2V/分の速度で昇圧し、1時間のホールド電圧で形成する。

その後、第4図に示すように、酸化インジウム錫（ITO）からなる透明電極膜24を全面に形成する。この透明電極膜24は、酸素0.5～1%含むアルゴンガスをスパッタチャンバ内に導入し、スパッタ圧を10mTorrに制御するス



パタリング法により、100nmの膜厚で形成する。

次に、フォトレジストを回転塗布法により透明電極膜24上の全面に形成し、第2のフォトマスクを用いて露光処理と現像処理とを行ない、第2のフォトレジスト25を形成する。

そして、この第2のフォトレジスト25をエッチングマスクにして透明電極膜24をパターンニングする。この透明電極膜24のエッチング処理は、塩化第二鉄と塩酸との混合液を使用する湿式エッチング処理により行なう。

あるいは、この透明電極膜24のエッチングは、平行平板電極構造型のエッチング装置のエッチングチャンバ内に、メタンを300cc/分導入し、圧力が10～30mTorrになるように調圧して、高周波電圧(RF)の電力3KWを陰極に投入し、この陰極に被エッチング基板を置いてエッチングを行なう乾式エッチング法でもパターンニングすることができる。

そして、第2のフォトレジスト25を湿式剥離法により除去することにより、

第5図に示すように、透明電極膜24から第1、第2

の薄膜ダイオードの各上部電極8、9と、画素電極6と、信号電極13とを形成する。

その後、全面に五酸化タンタルからなる保護膜26を形成する。この保護膜26は、真空チャンバ内に酸素を3%含むアルゴンガスを5mTorr導入するスパッタリング法により100nmの厚さで形成する。

次に、フォトレジストを回転塗布法により保護膜26上の全面に形成し、第3のフォトマスクを用いて露光処理と現像処理とを行なって、第5図に示すように開口部27aをパターンニングした第3のフォトレジスト27を形成する。

この第3のフォトレジスト27の開口部27aのパターン形状は、保護膜26に形成する前述した開口部36の各開口36a～36e(第1図に仮想線と点線で示す)と同じパターン形状である。

その後、この第3のフォトレジスト27をエッチングマスクに用いて、平行平板型電極構造のエッチング装置のエッチングチャンバ内に、六フッ化硫黄を200cc/分とヘリウムを20cc/分と酸素を30cc/分とをこの流量で導入

し、圧力を50mTorrに保ち、さらに高周波電力1KW投入して、保護膜26である五酸化タンタルをパターンニングする。

その結果、保護膜26の第3のフォトレジスト27の開口部27aから露出する部分をエッチングして、前述した各開口36a～36eからなる開口部36を形成することができる。

その際、ジャストエッチング時間の10～20%増しのオーバーエッチングを行なうことにより、各開口36b内に露出する下部電極層の接続部21dをはじめ、各開口36b～36e内に露出する下部電極層材料21の陽極酸化膜7を含む残膜部の除去を行なうことができる。しかし、このエッチング処理では、画素電極6ならびに信号電極13を形成する透明電極膜24の残膜部はエッチングされない。

そこで、図1の平面図に3点鎖線で示すように、印刷法により樹

脂膜37を駆動用IC接続部29上の開口36aを覆うように形成する。この樹脂膜37は駆動用IC接続部29の端子となる透明電極膜が、その後のエッチング処理によってエッチングされないようにする役目を果たす。

その後、塩化第二鉄と塩酸との混合液を用いる湿式エッチング法により、保護膜36の開口36b～36e内に露出する透明電極膜24の残膜部をエッチングして除去する。

この透明電極膜24の残膜部のエッチング除去は、乾式エッチング法によって行なうこともできる。

これらのエッチング処理によって、下部電極層21aと信号電極13の下部電極層21bとの接続部21dが除去され、下部電極層21aが信号電極13の下部電極層21bから分離して、第1、第2のTFD11、12のための島状の下部電極5とすると共に、第1図及び第6図に示すように、異常薄膜ダイオード部30が信号電極13から分離され、画素間ショート32、信号電極・画素間ショート33、あるいは信号電極間ショート34等の欠陥の原因となる透明電極膜24及び下部電極材料21の残膜部を除去することができる。

したがって、これらのショートが発生していたとしても、切断されてショート

状態が除去される。

最後に、第3のフォトレジスト27と樹脂膜37とを除去すると第6図に示すようになる。このようにして、各画素ごとにスイッチング回路を構成する2個づつの薄膜ダイオードを、3枚のフォトマスクを使用して形成することができる。

さらに、以上説明した製造方法とは別の製造方法として、保護膜26をエッチングした後、第3のフォトレジスト27を除去し、保護膜26と樹脂膜32をエッチングマスクにして、塩化第二鉄と塩酸の混合液を用いる湿式エッチング法、あるいは乾式エッチング法により、保護膜26の各開口36b～36e内に露出する透明電極膜24の残膜部を除去し、その後、樹脂膜37の除去を行なう工程

を採用してもよい。

この実施例による液晶表示装置とその製造方法は、従来の製造工程のマスク数を増加せずに第3のフォトレジスト27をマスクにして、下部電極層材料21と透明電極膜24のショット欠陥領域を除去することができる。それによって、表示点欠陥の発生を非常に少なくすることが可能になる。

また、上述の液晶表示装置の製造方法において、印刷法により駆動IC接続部29に対する開口36aを覆う樹脂膜37を形成せずに、保護膜26のエッチング時に下部電極層材料21によるショット欠陥を除去するだけでも、点欠陥の発生が少ない高品質の液晶表示装置を製造することができる。

〔1画素に1個のTFDを使用する実施例〕

上述したこの発明による液晶表示装置の構造とその製造方法とは、第23図にその等価回路図を示したような1画素に1個のTFDを使用する液晶表示装置についても有効である。

第7図はこの発明を適用した1画素に1個のTFDを使用する液晶表示装置の第1図と同様な図である。この図で第1図と対応する部分には同一の符号を付し、それらの説明は省略する。

この液晶表示装置の薄膜ダイオード(TFD)10は、信号電極13の下部電極層21bから延設するように形成された下部電極5'と画素電極6から延設するように形成された上部電極9'と下部電極5'上に設けられた図示を省略した

陽極酸化層によって構成されており、下部電極5'を信号電極13の下部電極層21bから分離させる必要はないので、前述の実施例と同様な保護膜の開口部36に、第1図に示した開口36bを設けないこと以外は、前述の実施例と同様である。

この液晶表示装置の製造工程も、前述の実施例の製造工程と略同様であり、TFD10を作成するための下部電極及び上部電極の形成パターンが異なるだけである。

この実施例においても、保護膜の開口部36の各開口36c～36e内の全ての電極層の残膜部がエッチングにより除去されるので、異常薄膜ダオード部は切断され、画素間ショット32、信号電極・画素間ショット33、信号電極間ショット34等の欠陥があったとしてもそれらは全て切断除去されるため、点欠陥となるようなことはない。

〔TFTを使用する液晶表示装置の実施例〕

次に、この発明をスイッチング素子として薄膜トランジスタ(TFT)を使用する液晶表示装置に適用した実施例について、第8図乃至第19図を用いて説明する。

この実施例の液晶表示装置は、第8図にその等価回路を示すように、走査電極41と信号電極42との間にマトリクス状に薄膜トランジスタ(TFT)40を設ける。そして薄膜トランジスタ40のソース電極Sは信号電極42に接続し、ドレイン電極Dは蓄積容量Cと液晶4とに接続している。

そして、走査期間中に走査電極41を介して薄膜トランジスタ40のゲート電極Gに印加するゲート電圧によって薄膜トランジスタ40はオン状態になり、信号電極42を介して印加する信号電圧によって液晶4と蓄積容量Cに対して充分な充放電を行なう。非走査期間では薄膜トランジスタ40はオフ状態になり、液晶4と蓄積容量Cに蓄えられた電荷が充分保持される。

このように、各画素ごとにスイッチング素子として薄膜トランジスタ40を設けた発明による液晶表示装置の構造を、そのアクティブマトリクス基板の部分的な平面図である第9図と、そのE-E線に沿う拡大断面図である第10図とを用

いて説明する。

透明なガラスからなる基板1上に、同一材料で構成するゲート電極Gと走査電極41とを設ける。そして、このゲート電極Gと走査電極41との表面に陽極酸化層43を設ける。

さらに、この液晶表示装置を駆動する駆動用IC（半導体装置）

を実装する領域である駆動用IC接続部44a、44bが開口するように、絶縁性被膜45を設ける。そして、この陽極酸化層43と絶縁性被膜45とによりゲート絶縁膜46を構成する。

このゲート絶縁膜46上に半導体層47を設ける。この半導体層47にはチャネル領域47cとソース領域47sとドレイン領域47dとを設ける。

さらに、この半導体層47上にチャネルストップ層48を設ける。このチャネルストップ層48は、その上に設けるオーミックコンタクト層49に含まれる不純物が半導体層47のチャネル領域47cに拡散して、薄膜トランジスタの特性、特にしきい値電圧が変動しないように設けている。そのため、チャネルストップ層48の平面パターン形状は、半導体層47のはば中央部のチャネル領域47c上に、オーミックコンタクト層49から不純物が拡散しないように設ける。オーミックコンタクト層49は、その上に設けるソース電極Sおよびドレイン電極Dと半導体層47との接続抵抗を低減する役割をもつ。

さらに、透明電極膜からなる画素電極50を設ける。蓄積容量Cは、画素内の薄膜トランジスタと反対側の領域に設け、走査電極41の第9図に破線で示す幅広部41aとゲート絶縁膜46と画素電極50による金属―絶縁膜―金属構造からなる容量となる。

そして、この半導体層47上にソース電極Sとドレイン電極Dとを設け、ドレイン電極Dは画素電極50と接続するように構成する。ソース電極Sは信号電極42と一体になるようなパターン形状で形成している。

さらに、このように各電極を形成した基板1の全面に保護膜51を設ける。そして、この保護膜51にスリット状の開口部52を設ける。この開口部52は、第9図に仮想線と点描で示すように、信号電極42と信号電極42の間の開口5

2aと、走査電極41と走査電極41の間の開口52bと、走査電極41と信号電極42の間の開口52cと、信号電極42と画素電極50の間の開口52dと

走査電極41と画素電極50との間の開口52e、および駆動用IC接続部44a、44bに対応する開口52f、52gとからなる。なお第9図では図示の都合上保護膜51自体は図示せず、その開口部52のみを図示している。

このように保護膜51にスリット状の開口部52を設けることにより、その開口部52を形成するときのオーバーエッチング処理と、開口部52を形成した後のエッチング処理によって、信号電極42と信号電極42の間、走査電極41と走査電極41の間、走査電極41と信号電極42の間、信号電極42と画素電極50の間、および走査電極41と画素電極50との間に、それぞれ発生するショート欠陥53a～53eをエッチング除去することができる。

したがって、液晶表示装置の表示点欠陥の発生要因を除去することができ、表示品質が良好な液晶表示装置を提供することができる。

なお、保護膜51の開口52fと52gは、駆動用IC接続部44aと14bの端子となる透明電極膜を露出させるために設けている。

〔TFTを用いた液晶表示装置の製造方法〕

次に、上述した構造の薄膜トランジスタを備えた液晶表示装置の製造方法を、第9図の平面図と、そのE―E線に沿う拡大断面図で各製造工程を示す第11図～第19図を用いて説明する。

まずはじめに、第11図に示すように、透明なガラスからなる基板1上の全面に、走査電極材料となるゲート電極材料55であるタンタルをスパッタリング法により、300～500nmの膜厚で形成する。このゲート電極材料55は、モリブデンあるいはアルミニウムでもよい。

その後、ポジ型フォトリジストをゲート電極材料55上の全面に回転塗布法により形成し、第1のフォトマスクを用いて露光処理と現像処理を行ない、フォトリジストをゲート電極と走査電極形状にパターンニングを行なって、第1のフォトリジスト56を形成する。

次に、平行平板型電極構造のエッチング装置のエッチングチャンパ内に、エッチングガスとして六フッ化硫黄を200cc/分とヘリウムを20cc/分と酸素30cc/分とをこの流量で導入し、エッチングチャンパ内圧力を50mTorrに保ち、高周波電力1KW投入し、第1のフォトレジスト56をエッチングマスクに用いてタンタルのゲート電極材料55をエッチングして、第12図に示すゲート電極Gと走査電極41を形成する。

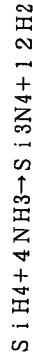
このとき走査電極41には、液晶表示装置を駆動するための駆動用IC（半導体装置）を接続する領域である駆動用IC接続部44aも同時に形成する。

さらに、第9図に示すように、隣接する走査電極41の一部を後で形成する画素電極50側へ突出するような幅広部41aを有するパターン形状にして、蓄積容量Cの下電極とする。

その後、第1のフォトレジスト56を除去し、駆動用IC接続部44aを樹脂膜でマスクして陽極酸化処理を行ない、第12図に示すように、ゲート電極Gと走査電極41の表面に陽極酸化層43を100～150nmの厚さで形成する。この陽極酸化層43は、陽極酸化液として0.1wt%のクエン酸溶液を用いて、陽極酸化電圧を30Vに設定して0.6/分の速度で昇圧し、1時間のホールド電圧で形成する。

また、ゲート絶縁膜下層を構成する陽極酸化層は、酸素雰囲気中の熱酸化で形成しても有効である。

ついで、ゲート絶縁膜上層を構成する絶縁性被膜45として、窒化シリコン膜をプラズマ化学気相成長法により、200～300nmの厚さで第13図に示すように全面に形成する。この窒化シリコン膜の形成は、シランガスとアンモニアガスを次のように気相反応させて形成する。



ゲート電極G上の陽極酸化層43とこの絶縁性被膜45とによってゲート絶縁膜46を構成する。

その後、ポジ型フォトレジストをゲート絶縁膜上の全面に回転塗布法により形成し、第2のフォトリソマスクを用いて露光処理と現像処理を行ない、走査電極41

の駆動用IC接続部44aが開孔するようにフォトリソのパターンニングを行ない、第13図に示す第2のフォトレジスト57を形成する。

そして、平行平板型電極構造のエッチング装置のエッチングチャンパ内に、エッチングガスとして四フッ化炭素を200cc/分と酸素30cc/分とをこの流量で導入し、エッチングチャンパ内圧力を50mTorrに保ち、高周波電力1KW投入して、第2のフォトレジスト57をエッチングマスクにしてゲート絶縁膜46をエッチングして、駆動用IC接続部44aが開孔するようにゲート絶縁膜46を形成する。

このように、ゲート絶縁膜46の駆動用IC接続部44a上の部分を除去しておくことにより、この液晶表示装置を駆動するための駆動用ICを、直接走査電極41を構成するタンタル膜上に実装することができる。

その後、第2のフォトレジスト57を除去し、チャネル領域47cとソース領域47sとドレイン領域47dとを形成する第14図に示す半導体層47と、チャネルストップ層48となる窒化シリコン膜とを、プラズマ化学気相成長法により連続的に形成する。

このとき、半導体層47は100nmの膜厚で形成し、窒化シリコンからなるチャネルストップ層48は100nmの厚さで形成する。半導体層47はシランガスを気相反応させてシリコン膜を形成し、窒化シリコン膜の形成は、前述のようにシランガスとアンモニアガスを気相反応させて形成する。

その後、ポジ型フォトレジストを窒化シリコン膜上の全面に回転塗布法により形成し、第3のフォトリソマスクを用いて露光処理と現像処理を行ない、フォトリソをチャネルストップ層48の形成領域に残存するようにパターンニングを行ない、第14図に示す第3のフォトレジスト58を形成する。

ついで、平行平板型電極構造のエッチング装置のエッチングチャンパ内にエッチングガスとして四フッ化炭素を200cc/分と酸素30cc/分とをこの流量で導入し、エッチングチャンパ内圧力を50mTorrに保ち、高周波電力1KW投入して、第3のフォトレジスト58をエッチングマスクにして窒化シリコン膜をエッチングし、第14図に示すチャネルストップ層48を形成する。

このチャネルストップ層48は、以下の処理工程で形成する不純物を含むオーミックコンタクト層49に含まれる不純物が、半導体層47のチャネル領域47cに拡散して、荷電トランジスタのしきい値電圧が変動するのを抑制する役割と、ソース電極Sとドレイン電極Dをエッチング処理で形成するときのエッチングストップとしての役割とを併せ備えている。

次に、第3のフォトリソスト58を除去した後、ポジ型フォトリソストを全面に回転塗布法により形成し、第4のフォトリソマスクを用いて露光処理と現像処理を行ない、フォトリソストをゲート電極の形成領域に残存するようにパターンニングを行ない、第15図に示す第4のフォトリソスト59を形成する。

その後、平行平板型電極構造のエッチング装置のエッチングチャンバ内にエッチングガスとして四フッ化炭素を200cc/分と酸素30cc/分とをこの流量で導入し、エッチングチャンバ内の圧力を50mTorr保ち、高周波電力1KW投入して、第4のフォトリソスト59をエッチングマスクにしてシリコン膜をエッチングし、所定形状の半導体層47を形成する。

次に、オーミックコンタクト層49となる導電型がn型の不純物を含むシリコン膜を、プラズマ化学気相成長法により全面に30nmの厚さで形成する。このn型の不純物を含むシリコン膜の形成は、シランガスとホスフィンガスと水素ガスを気相反応させて形成する。

その後、ポジ型フォトリソストをそのシリコン膜上の全面に回転塗布法により形成し、第5のフォトリソマスクを用いて露光処理と現像処理を行ない、フォトリソストをオーミックコンタクト層の形成領域に残存するようにパターンニングを行ない、第16図に示す第5のフォトリソスト60を形成する。

そして、平行平板型電極構造のエッチング装置のエッチングチャンバ内にエッチングガスとして四フッ化炭素を200cc/分と酸素30cc/分とをこの流量で導入し、エッチングチャンバ内の圧力を50mTorr保ち、高周波電力1KW投入して、第5のフォトリソスト60をエッチングマスクにしてn型のシリコン膜をエッチングして、半導体層47のソース領域47sとドレイン領域47d

とチャネルストップ層48の上面に、第16図に示すようにオーミックコンタクト層49を形成する。

次に、第5のフォトリソスト60を除去して、酸化インジウム錫(ITO)からなる画素電極50となる透明電極膜を全面に形成する。この透明電極膜の形成は、酸素0.5～1%含むアルゴンガスをスパッタチャンバ内に導入し、スパッタリング法により100nmの膜厚で形成する。

その後、ポジ型フォトリソストを透明電極膜上の全面に回転塗布法により形成し、第6のフォトリソマスクを用いて露光処理と現像処理を行ない、フォトリソストを画素電極50の形成領域に残存するようにパターンニングを行ない、第17図に示す第6のフォトリソスト61を形成する。

そして、この第6のフォトリソスト61をエッチングマスクにして透明電極膜をパターンニングし、画素電極50と蓄積電量Cの上電極(第9図参照)を形成する。この透明電極膜のエッチング処理は、塩化第二鉄と塩酸の混合液を使用する湿式エッチング処理により行なう。

あるいは、この画素電極50を形成するための透明電極膜のエッチングは、平行平板電極構造のエッチング装置のエッチングチャンバ内にメタンを300cc/分の流量で導入し、圧力が10～30mTorrとなるように圧力調整して、高周波電力3KWを陰極に投入し、この陰極に被エッチング基板を置いてエッチングを行なう。

乾式エッチング法によっても、パターンニングすることができる。

この透明電極膜のエッチング処理により、走査電極41とゲート絶縁膜46と画素電極50の透明電極膜(ITO)による、[金属-絶縁膜-金属]構造の第9図に示す(ゲート絶縁膜46は図示していない)蓄積電量Cを構成することができる。

その後、第6のフォトリソスト61を除去して、ソース電極Sとドレイン電極Dと信号電極42の材料として、モリブデン膜をスパッタリング法により100～200nmの厚さで形成する。このソース電極Sとドレイン電極Dと信号電極42の材料としては、チタニウムやアルミニウムあるいはタングステンを使用

してもよい。

そして、ポジ型フォトリソレジストをモリブデン膜上の全面に回転塗布法により形成し、第7のフォトリソマスクを用いて露光処理と現像処理を行ない、フォトリソレジストをソース電極Sとドレイン電極Dと信号電極42の形成領域が残存するようにパターンニングを行ない、第18図に示す第7のフォトリソレジスト62を形成する。

その後、平行平板型電極構造のエッチング装置のエッチングチャンバ内に、エッチングガスとして六フッ化硫黄を200cc/分とヘリウムを20cc/分と酸素30cc/分とをこの流量で導入し、エッチングチャンバ内の圧力を50mTorrに保ち、高周波電力1KW投入して、第7のフォトリソレジスト62をエッチングマスクにしてモリブデン膜をエッチングし、第18図に示すように薄膜トランジスタのソース電極Sおよびドレイン電極Dと、信号電極42とを形成する。

次に、第7のフォトリソレジスト62を除去した後、窒化シリコン膜からなる保護膜51（第19図参照）を、プラズマ化学気相成長法によりシリランガスとアンモニアガスを気相反応させて、100～200nmの厚さで全面に形成する。

その後、ポジ型フォトリソレジストを保護膜51上の全面に回転塗布法により形成し、第8のフォトリソマスクを用いて露光処理と現像処理を行ない、フォトリソレジストを保護膜51に形成する開口部52の各

開口52a～52gに対応する各開口からなる開口部64を形成するようにパターンニングを行ない、第19図に示す第8のフォトリソレジスト63を形成する。

そして、平行平板型電極構造のエッチング装置のエッチングチャンバ内にエッチングガスとして四フッ化炭素を200cc/分と酸素30cc/分とをこの流量で導入し、エッチングチャンバ内圧力を50mTorrに保ち、高周波電力1KW投入して、第8のフォトリソレジスト63をエッチングマスクにして、保護膜51である窒化シリコン膜をパターンニングしてスリット状の開口部52を形成する。このとき同時に、駆動用IC接続部44a、44bも開口してタンタル膜あるいはモリブデン膜を露出させる。

このときさらに、駆動用IC接続部44a、44b上を第9図に3点鎖線で示

すように、樹脂膜（有機樹脂膜）で覆った後、ジャストエッチング時間の10～30%増しのエッチング時間でオーバーエッチングを行なうことにより、開口部52の開口52a～52e内に露出するショート領域の信号電極材料と走査電極材料の残膜部をエッチングして除去することができる。

さらに引き続き、第8のフォトリソレジスト63をエッチングマスクに用いて、塩化第二鉄と塩酸の混合液を使用する湿式エッチングを行なうことにより、画素電極と信号電極や走査電極間のショート原因となる透明電極膜のショート欠陥（第18図に示す異物66の付着によるマスキングによって生じたショート欠陥53d等）を除去する。

あるいは、この透明電極膜のエッチング除去を、平行平板型エッチング装置のエッチングチャンバ内にメタンガスを300cc/分の流量で導入し、圧力が10～30mTorrとなるように調圧し、高周波電力3KWを陰極に投入してエッチングを行なう乾式エッチング処理によって行なうこともできる。

その後、第8のフォトリソレジスト63を除去して、第10図に示したアクティブマトリクス基板を得る。これを第2の基板と所定の間

隔で対向させて液晶を封入し、偏光板やバックライト光源を組付けることにより液晶表示装置となる。

あるいは、第8のフォトリソレジスト63を除去した後、保護膜51をエッチングマスクとして使用して、上記湿式エッチング又は乾式エッチングを行なって、開口部52の開口52a～52e内に露出する透明電極膜のショート欠陥となる残膜部を除去するようにしてもよい。

このように、保護膜51に開口部52を形成する際のオーバーエッチング、およびその後の透明電極の残膜部に対するエッチングによって、第9図に示す信号電極42間のショート欠陥53a、走査電極41間のショート欠陥53b、走査電極41と信号電極42間のショート欠陥53c、信号電極42と画素電極50間のショート欠陥53d、あるいは走査電極41と画素電極50間のショート欠陥53eが、フォトリソレジスト形成工程に起因するフォトリソレジストのパターンニング不良などにより発生しても、それらを全て切断してショート状態を解消すること

ができる。

したがって、表示欠陥が大幅に減少し、表示品質の高い液晶表示装置を歩留りよく製造することができる。

また、上述した液晶表示装置の製造方法によれば、従来の製造工程のマスク数と被膜形成工程を増加せずに、第8のフォトリジスト63あるいは保護膜51をエッチングマスクとして、信号電極材料と走査電極材料および透明電極膜のショート欠陥部を除去することができる。そのため、表示欠陥の発生が非常に少ない液晶表示装置を殆どコストアップを招かずに製造することが可能になる。

なお、この薄膜トランジスタを用いる液晶表示装置の場合には、ゲート絶縁膜46を介して隔てられる走査電極41と画素電極50あるいは信号電極42との間では、ショート欠陥が発生しにくいので、保護膜51に上記開口52a～52eを全て設けなくても表示欠陥を減少させる効果がある。したがって、ショート欠陥が生じやすい電極間のみ絶縁膜の開口を形成するようにしてもよい。

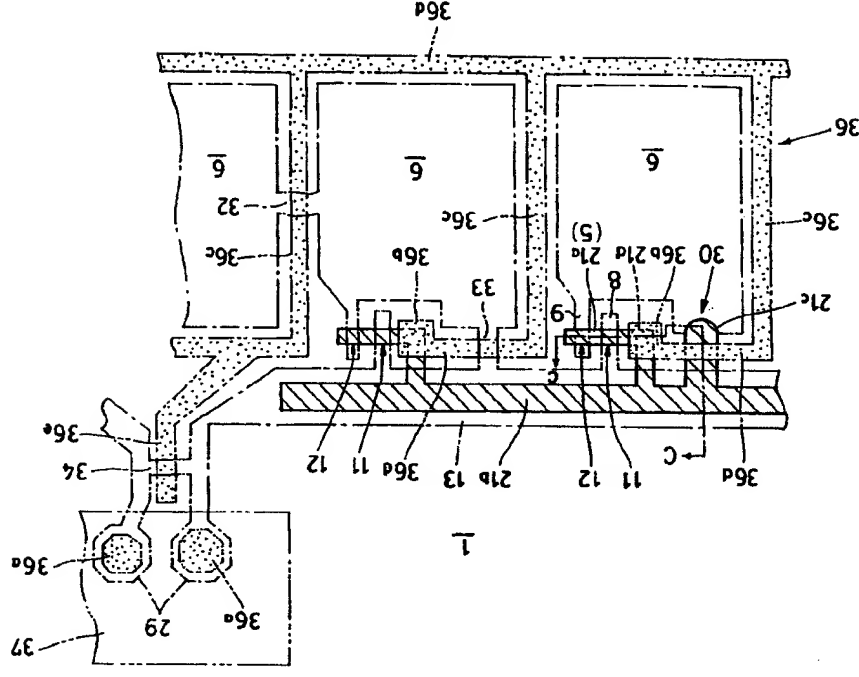
#### 産業上の利用可能性

以上の説明で明らかなように、この発明による薄膜ダイオードあるいは薄膜トランジスタをスイッチング素子として用いた液晶表示装置およびその製造方法によれば、画素間あるいは電極間のショート欠陥の発生が殆どなくなるので、表示品質が大幅に向上する。そして、製造時の歩留まりが大幅に向上するため、液晶表示装置の一層の低コスト化を実現できる。

したがって、この発明によれば、時計、電卓、ビデオカメラ、その他各種電子機器の表示器として広範に使用されているモノクロあるいはカラーの液晶表示装置の表示品質の向上と、生産性の向上に極めて有用である。

【図1】

第1図

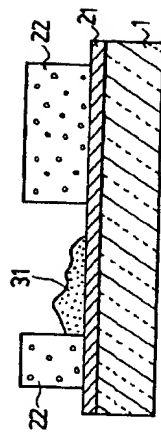


(43)

WO96/26463

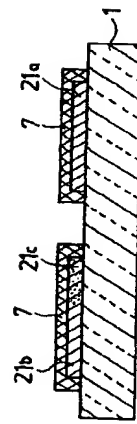
【图2】

第2图



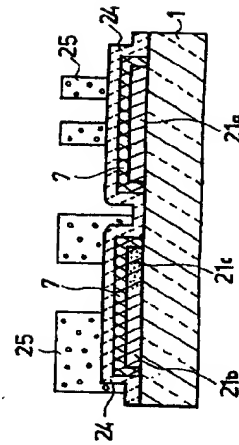
【图3】

第3图



【图4】

第4图

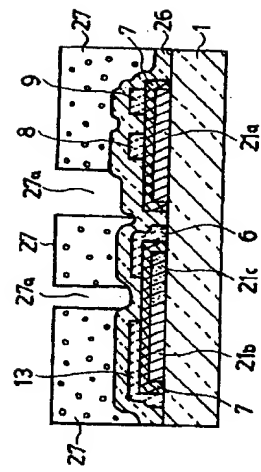


(44)

WO96/26463

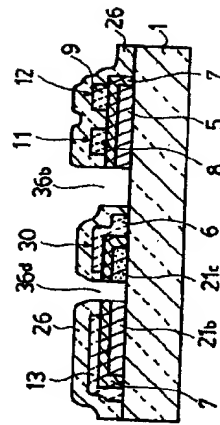
【图5】

第5图



【图6】

第6图

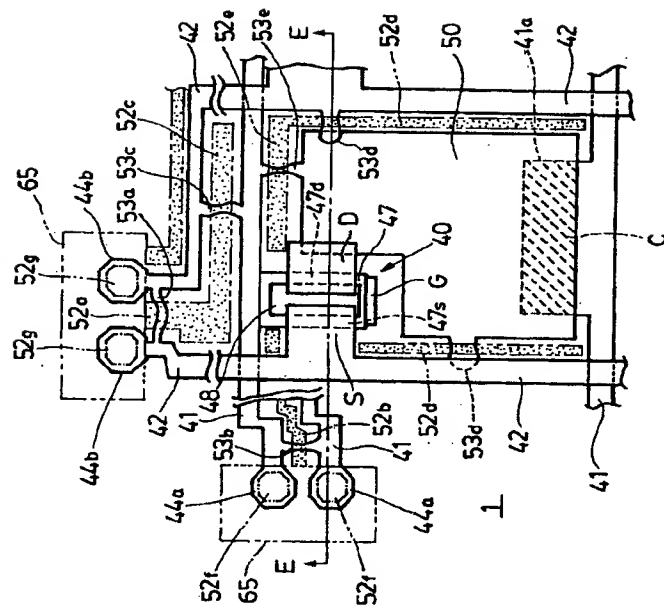






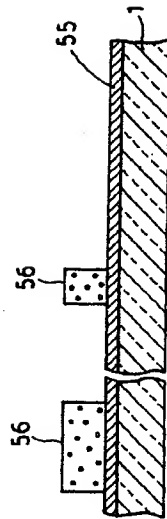
【図9】

第9図



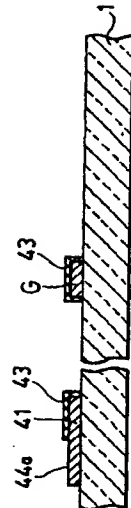
【図11】

第11図



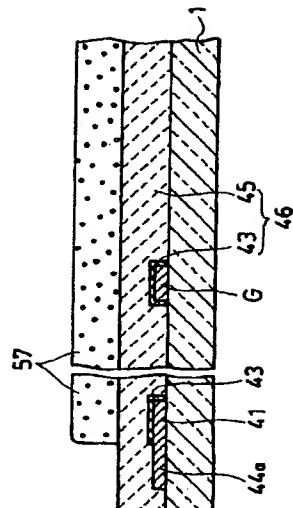
【図12】

第12図



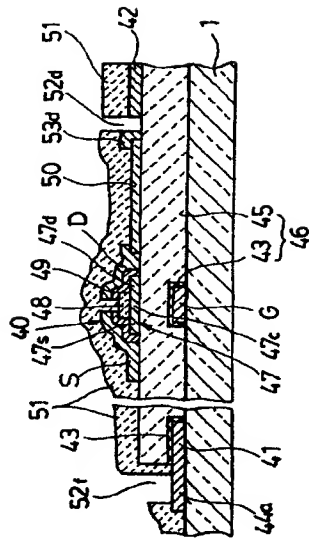
【図13】

第13図



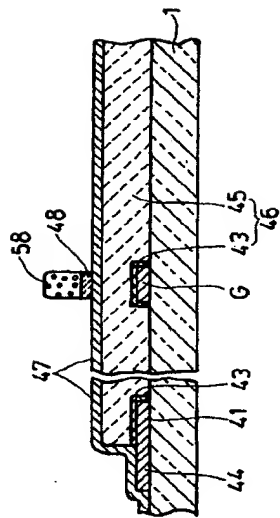
【図10】

第10図



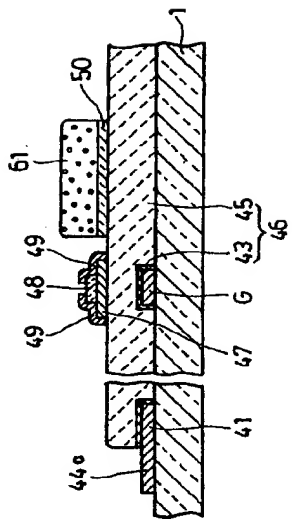
【図14】

第14図



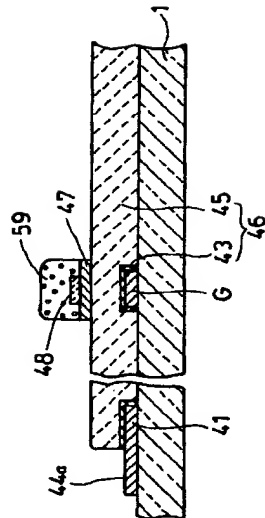
【図17】

第17図



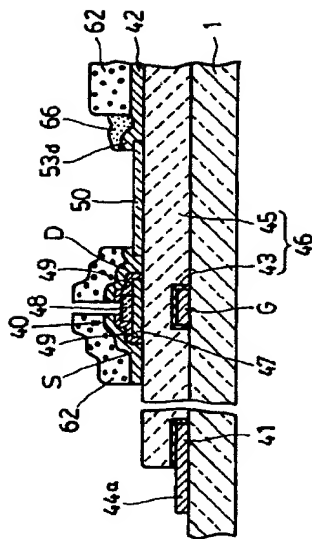
【図15】

第15図



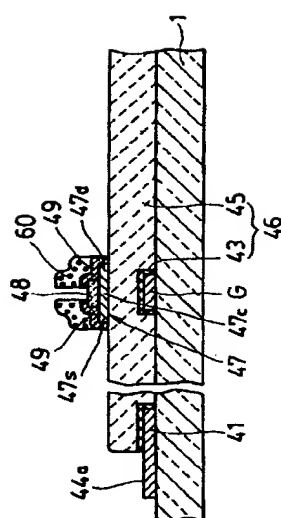
【図18】

第18図



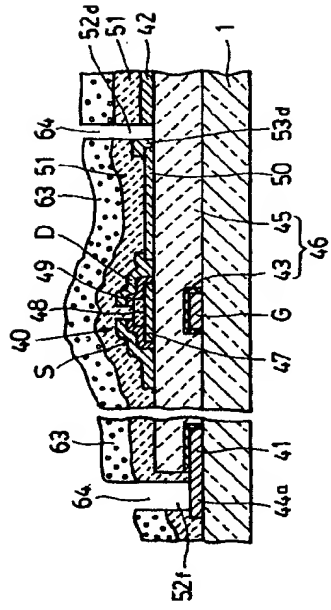
【図16】

第16図

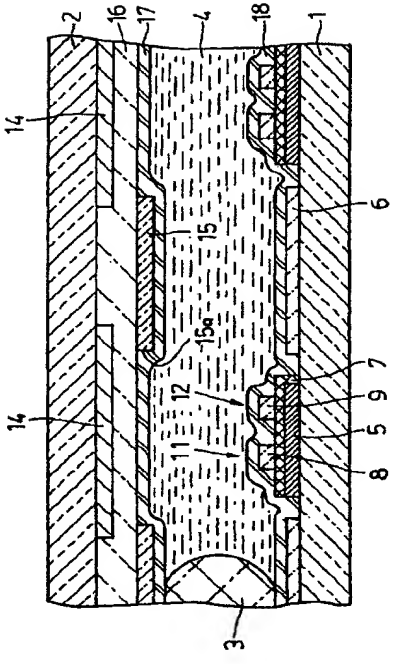


【図19】

第19図

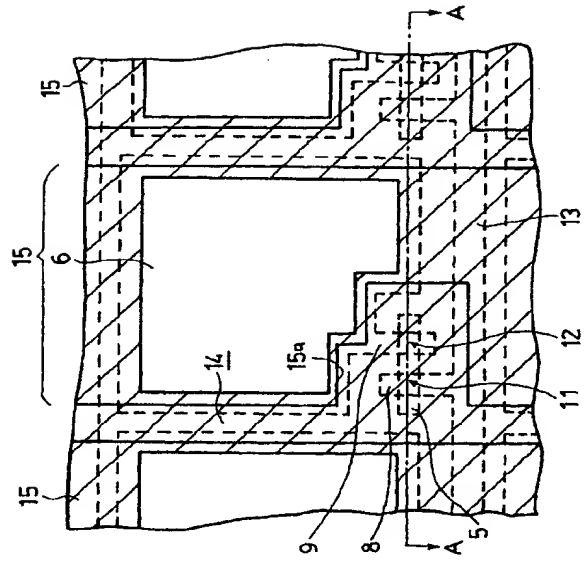


第21図



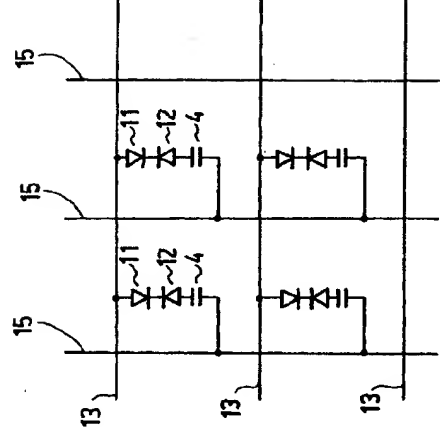
【図20】

第20図



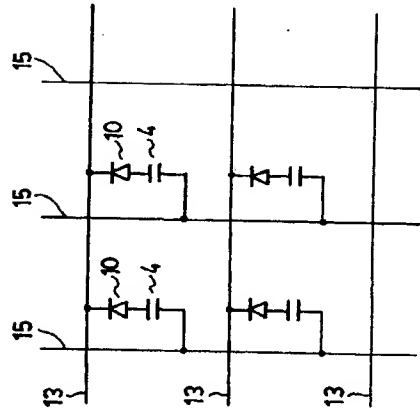
【図22】

第22図



【図23】

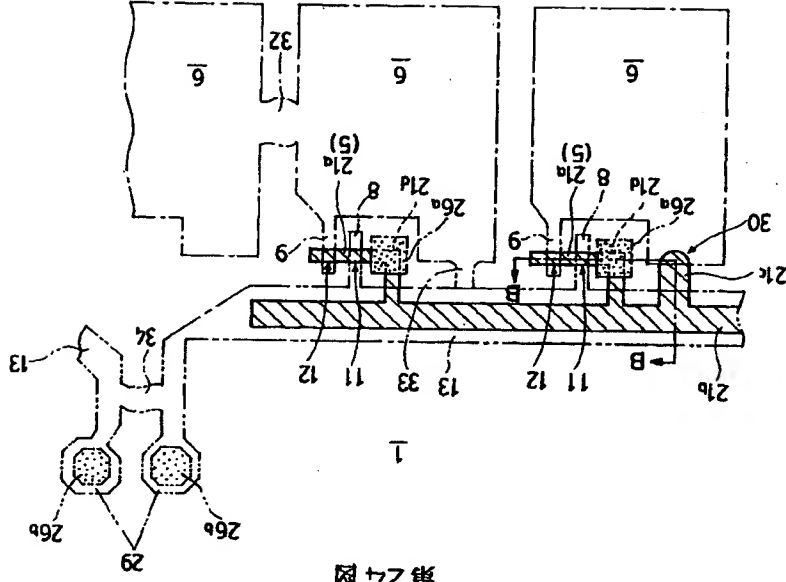
第23図



(53)

【図24】

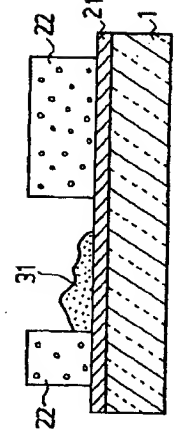
第24図



(54)

【図25】

第25図





## 【国際調査報告】

国際調査報告		国際出願番号 PCT/JP	96/00428
A. 発明の属する分野の分類 (国際特許分類 (IPC))			
Int. Cl. G02F1/136, G02F1/1333			
B. 調査を行った分野			
調査を行った最小限資料 (国際特許分類 (IPC))			
Int. Cl. G02F1/13			
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報 1926-1996年			
日本国実用新案公報 1971-1996年			
国際調査で利用した電子データベース (データベースの名前、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献のカテゴリ	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号	
PY	JP, 7-199223, A1 (日本電気株式会社),	10, 12, 14	
PA	4, 8月, 1995 (04.08.95),	1-9, 11, 13	
	第5欄, 第15-33行をTW, 259862, A		
A	JP, 2-67523, A1 (株式会社 日立製作所),	1-14	
	7, 3月, 1990 (07.03.90) (ファミリーなし)		
A	JP, 4-260374, A1 (松下電子工業株式会社),	1-14	
	19, 9月, 1992 (19.09.92) (ファミリーなし)		
<input checked="" type="checkbox"/> C欄の続きにも文献が明記されている, <input type="checkbox"/> パテントファミリーに関する別紙を参照.			
* 参考文献のカテゴリ (A) 特許に関連する文献ではなく、一般的技術水準を示すもの (E) 先行文献であるが、国際出願日以降に公表されたもの (I) 優先権主張に際して引用する文献又は他の文献の発行日 (S) 先行権主張に際して引用する文献又は他の文献の発行日 (O) 理由による指示、使用、展示等に言及する文献 (P) 国際出願日付で、かつ優先権の主張となる出願の日 の後に公表された文献 (T) 国際出願日又は優先権日後に公表された文献であって出願と 矛盾するものではなく、発明の形態又は発明の理解のため に引用するもの (X) 特許に関連する文献であって、当該文献のみで発明の新規 性は過半数性がないと考えられるもの (Y) 特許に関連する文献であって、当該文献と他の1以上の文 献との、当業者にとって自明である組合せによって進歩性 がないと考えられるもの (Z) 同一パテントファミリー文献			
国際調査を完了した日		国際調査報告の発送日	
13.03.96		02.04.96	
名称及び氏名 日本国特許庁 (ISA/JP) 郵便番号106 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 田 部 元 史 電話番号 03-3581-1101 内線 3255	

様式PCT/ISA/210 (第2ページ) (1982年7月)

## 国際調査報告

国際出願番号 PCT/JP 96/00428

C (続き). 関連すると認められる文献		
引用文献のカテゴリ	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
A	JP, 1-289916, A1 (セイコーエプソン株式会社), 21, 11月, 1989 (21.11.89) (ファミリーなし)	1-14
A	JP, 2-140726, A1 (セイコーエプソン株式会社), 30, 5月, 1990 (30.05.90) (ファミリーなし)	2, 6-7

様式PCT/ISA/210 (第2ページ) (1982年7月)

(注) この公表は、国際事務局 (WIPO) により国際公開された公報を基に作成したものである。

なおこの公表に係る日本特許出願 (日本実用新案登録出願) の国際公開の効果は、特許法第184条の10第1項 (実用新案法第48条の13第2項) により生ずるものであり、本掲載とは関係ありません。